

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of :

Tomoji HAMADA :

Serial No. NEW :

Attn: APPLICATION BRANCH

Filed July 22, 2003 :

Attorney Docket No. 2003-0996A

SEMICONDUCTOR APPARATUS

CLAIM OF PRIORITY UNDER 35 USC 119

Commissioner for Patents

P.O. Box 1450

Alexandria, VA 22313-1450

Sir:

Applicant in the above-entitled application hereby claims the date of priority under the International Convention of Japanese Patent Application No. 356953/2002, filed December 9, 2002, as acknowledged in the Declaration of this application.

A certified copy of said Japanese Patent Application is submitted herewith.

Respectfully submitted,

Tomoji HAMADA

By David M. Ovedovitz
David M. Ovedovitz
Registration No. 45,336
for
Nils E. Pedersen
Registration No. 33,145
Attorney for Applicant

NEP/DMO/krl

Washington, D.C. 20006-1021

Telephone (202) 721-8200

Facsimile (202) 721-8250

July 22, 2003

THE COMMISSIONER IS AUTHORIZED
TO CHARGE ANY DEFICIENCY IN THE
FEES FOR THIS PAPER TO DEPOSIT
ACCOUNT NO. 23-0975

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年12月 9日

出 願 番 号

Application Number:

特願2002-356953

[ST.10/C]:

[JP2002-356953]

出 願 人

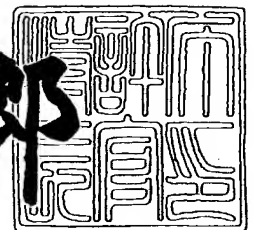
Applicant(s):

沖電気工業株式会社

2003年 5月27日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3039737

【書類名】 特許願

【整理番号】 0G004733

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/52

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会
社内

【氏名】 濱田 智次

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100089093

【弁理士】

【氏名又は名称】 大西 健治

【手数料の表示】

【予納台帳番号】 004994

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9720320

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 半導体素子と、

前記半導体素子の周囲を取り囲む第 1 の誘電体基板と、

前記半導体素子の周囲を取り囲み、前記第 1 の誘電体基板上に配置された第 2 の誘電体基板と、

前記第 2 の誘電体基板上、前記半導体素子の上方に配置された金属蓋と、
複数の外部電極と、

前記第 1 の誘電体基板を貫通し、前記外部電極と電氣的に接続される第 1 のスルーホール配線と、

前記第 2 の誘電体基板を貫通し、前記半導体素子と電氣的に接続される第 2 のスルーホール配線と、

前記第 1 の誘電体基板と前記第 2 の誘電体基板に挟まれた内部配線とを有し、

前記半導体素子は、前記第 1 のスルーホール配線、前記第 2 のスルーホール配線、前記内部配線を介して前記外部電極と接続されており、

前記第 1 のスルーホール配線と、前記第 2 のスルーホール配線とが、互いに前記内部配線に対して離間して電氣的に接続されていることを特徴とする半導体装置。

【請求項 2】 前記第 2 のスルーホール配線は、前記第 1 のスルーホール配線よりも前記半導体素子に近い位置に配置されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記半導体素子に接続された金属細線を有し、

前記第 2 の誘電体基板上に配置され、前記第 2 のスルーホール配線と接続されている上部配線を有し、

前記半導体素子は、前記金属細線を介して前記上部配線に接続されていることを特徴とする請求項 2 記載の半導体装置。

【請求項 4】 前記半導体素子を搭載する金属板を有し、

前記外部電極及び前記金属板は、同一仮想平面上に配置されていることを特徴

とする請求項 1 記載の半導体装置。

【請求項 5】 前記外部電極は、全体が前記第 1 の誘電体基板または前記第 2 の誘電体基板の外縁よりも内側に配置してあることを特徴とする請求項 1 記載の半導体装置。

【請求項 6】 前記外部電極の一部が接地用外部電極であり、前記第 2 の誘電体基板の上面に、前記接地用外部電極を介して接地電位が供給される上側金属層を有することを特徴とする請求項 1 記載の半導体装置。

【請求項 7】 前記外部電極の一部が接地用外部電極であり、前記第 1 の誘電体基板の下面に、前記接地用外部電極を介して接地電位が供給される下側金属層を有することを特徴とする請求項 1 記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、数GHz以上の超高周波の信号処理や、数Gbps以上の高速の光通信などに用いられる、半導体素子を内蔵した半導体装置に関する発明である。

【0002】

【従来の技術】

従来の半導体装置の構造について簡単に説明する。

【0003】

従来の半導体装置は、誘電体基板上に半導体素子が搭載され、その半導体素子を誘電体リングが取り囲み、さらにその誘電体リングの上には、半導体素子を覆うように金属蓋が搭載された構造を有する。そして、外部の他の機器と接続するための外部電極が複数、誘電体基板上に配置されている。さらに、半導体素子には金属細線が接続されており、その金属細線は、誘電体基板上に配置された配線を介して外部電極と電氣的に接続されている。

【0004】

また、半導体素子を搭載している誘電体基板は、裏側に放熱用の金属板が貼りつけられており、この金属板と半導体素子とを接続するように、誘電体基板には複数のスルーホールが形成されている。

【 0 0 0 5 】

【特許文献 1】

特開平 5 - 1 2 9 4 6 2 号公報

【特許文献 2】

特開平 7 - 5 0 3 6 2 号公報

【 0 0 0 6 】

【発明が解決しようとする課題】

しかしながら、従来の半導体装置は、特開平 7 - 5 0 3 6 2 号公報にあるように、半導体素子と外部電極とをつなぐ配線が、誘電体基板上に形成された導体層と単一のスルーホールで形成されている。このために、導体層とスルーホールとの間が直角に折れ曲がっている構造を有するので、配線に大きな寄生容量が発生する。ゆえに、半導体装置と外部機器との間で特に周波数の高い信号を入出力しにくいという問題点があった。

【 0 0 0 7 】

【課題を解決するための手段】

以上の問題を解決するために、本発明の半導体装置は、半導体素子と、半導体素子の周囲を取り囲む第 1 の誘電体基板と、半導体素子の周囲を取り囲み、第 1 の誘電体基板上に配置された第 2 の誘電体基板と、第 2 の誘電体基板上に配置され、半導体素子を覆うように配置された金属蓋と、前記第 1 の誘電体基板を貫通し、外部電極と電氣的に接続される第 1 のスルーホール配線と、第 2 の誘電体基板を貫通し、半導体素子と電氣的に接続される第 2 のスルーホール配線と、第 1 の誘電体基板と第 2 の誘電体基板に挟まれた内部配線とを有し、半導体素子は、第 1 のスルーホール配線、第 2 のスルーホール配線、内部配線を介して外部電極と接続されており、第 1 のスルーホール配線と、第 2 のスルーホール配線とが、互いに内部配線に対して離間して電氣的に接続されている。

【 0 0 0 8 】

【発明の実施の形態】

(第 1 の実施例) 図 1 は、本発明の第 1、第 2、第 3 の実施例である半導体装置を示す平面図である。本発明の各実施例は、平面図で表すとどの実施例も同じ

なので、平面図は各実施例の説明において共通使用する。なお、図1の平面図においては、半導体装置の内部構造を示すため、金属蓋15を省略してある。一方、図2は、本発明の第1の実施例である半導体装置を示す断面図であり、図1を点線XYに沿って切断した断面を示している。また、図3は、本発明の第1の実施例の変形例を示す断面図である。以下、図1、図2、図3を用いて、本発明の第1の実施例について説明する。

【0009】

本発明の半導体装置は、半導体素子12が搭載されている金属板11と、請求項において外部電極に相当するリード端子18とが同一仮想平面上に配置されている。リード端子18は、この半導体装置を外部の他の機器と電氣的に接続するためのものであり、金属板11の周囲に複数配置されている。この金属板11とリード端子18は、ほぼ同一の厚さを有している。

【0010】

そして、金属板11とリード端子18を共通の土台として、両者にまたがるように第1の誘電体基板13aが配置されており、さらにこの第1の誘電体基板13aの上に、第2の誘電体基板13bが重ねてある。この第1及び第2の誘電体基板13a及び13bは、中央部が開口されており、そこでは金属板11が露出している。金属板11が露出している部分には、半導体素子12が実装されている。別の言い方をすれば、半導体素子12の周囲を第1の誘電体基板13a及び第2の誘電体基板13bが取り囲んでいる。

【0011】

さらに、第2の誘電体基板13bの上には、誘電体リング14を介して金属蓋15が載せられている。つまり、金属蓋は、半導体素子12の上方に配置されている。

【0012】

したがって、この半導体装置は、金属板11、第1の誘電体基板13a、第2の誘電体基板13b、誘電体リング14、金属蓋15によって、半導体素子12が内部に封入されている構造を有することになる。

【0013】

なお、図 1 においてリード端子 1 8 は、その一部が第 1 の誘電体基板 1 3 a 及び第 2 の誘電体基板 1 3 b からはみ出しているが、図 3 に示すように、リード端子 1 8 の全体が、第 1 の誘電体基板 1 3 a または第 2 の誘電体基板 1 3 b の外縁よりも内側に収まるように配置すると、半導体装置自体を小型化することができる。図示しないが、リード端子 1 8 を、球形または半球形のバンプ電極にしても同様の効果が得られる。

【 0 0 1 4 】

一方、第 2 の誘電体基板 1 3 b 上には、上部配線 1 7 a が形成されている。そして、第 1 の誘電体基板 1 3 a と第 2 の誘電体基板 1 3 b に挟まれるように、内部配線 1 7 b が形成されている。さらに、第 1 の誘電体基板 1 3 a 及び第 2 の誘電体基板 1 3 b の中には、それぞれ下側スルーホール配線 1 7 c 及び上側スルーホール配線 1 7 d が形成されている。下側スルーホール配線 1 7 c 及び上側スルーホール配線 1 7 d は、それぞれ請求項 1 における第 1 のスルーホール配線と第 2 のスルーホール配線に相当する。この下側スルーホール配線 1 7 c と上側スルーホール配線 1 7 d とは、図 1 のような平面図で表示した場合、またはその平面図を下側スルーホール配線 1 7 c と上側スルーホール配線 1 7 d とに重なる平面で切ったときの図 2 のような断面図において表示した場合、離間しているように配置される。

【 0 0 1 5 】

次に、装置内部の半導体素子 1 2 と、リード端子 1 8 との電氣的な接続について説明する。半導体素子 1 2 と上部配線 1 7 a とは、金属細線 1 6 を介して接続されている。そして、上部配線 1 7 a と内部配線 1 7 b とは、上側スルーホール配線 1 7 d によって接続されている。さらに、内部配線 1 7 b とリード端子 1 8 とは、下側スルーホール配線 1 7 c によって接続されている。この結果、半導体素子 1 2 とリード端子 1 8 とが以下の順に電氣的に接続されている構造を得ることができる。その順番は、半導体素子 1 2、金属細線 1 6、上部配線 1 7 a、上側スルーホール配線 1 7 d、内部配線 1 7 b、下側スルーホール配線 1 7 c、リード端子 1 8 である。なお、上側スルーホール配線 1 7 d は、下側スルーホール配線 1 7 c よりも、半導体素子 1 2 寄りに配置させる。また、上記のそれぞれ金

属細線 1 6、上部配線 1 7 a、上側スルーホール配線 1 7 d、内部配線 1 7 b、下側スルーホール配線 1 7 c、リード端子 1 8 は、それぞれのインピーダンスを一定の値にしておく。また、それによって、リード端子から半導体素子を見た場合のインピーダンスの合計が特定の値（例えば 5 0 Ω ）にしておく。

【 0 0 1 6 】

以上のように、本発明の第 1 の実施例においては、外部電極と電氣的に接続される第 1 のスルーホール配線と、第 2 の誘電体基板を貫通し、半導体素子と電氣的に接続される第 2 のスルーホール配線と、第 1 の誘電体基板と第 2 の誘電体基板に挟まれた内部配線とを有し、半導体素子は、第 1 のスルーホール配線、第 2 のスルーホール配線、内部配線を介して外部電極と接続されており、第 1 のスルーホール配線と、第 2 のスルーホール配線とが、互いに内部配線に対して離間して電氣的に接続されている。特に、第 2 のスルーホール配線は、第 1 のスルーホール配線よりも半導体素子に近い位置に配置されており、半導体素子と外部電極とが電氣的に接続されている。本発明の第 1 の実施例は、このような構造を有するので、半導体素子と外部電極とが、ジグザグ型の配線で接続されていることになる。なお、ここで述べるジグザグ型とは、直線が左右に何回も折れ曲がっているような形の意味である。半導体素子と外部電極とをジグザグ型に接続した場合の効果を、以下に説明する。

【 0 0 1 7 】

図 6 は、半導体素子と外部電極とを、スルーホールを 1 つ使って接続した場合と、2 つ使ってジグザグ型に接続した場合の、周波数に対する電気信号の通過量を示す図である。また、図 7 は、半導体素子と外部電極とを、スルーホールを 1 つ使って接続した場合と、2 つ使ってジグザグ型に接続した場合の、周波数に対する電気信号の反射量を示す図である。図 6、図 7 とともに、スルーホールを 1 つ使った接続は実線、スルーホールを 2 つ使った接続は点線で示してある。

【 0 0 1 8 】

一般的に、電気信号の周波数が上がるほど通過量が減り反射量が増えるので、半導体装置と外部機器との電気信号の入出力が阻害される傾向にある。しかしながら、図 6 及び図 7 を見て分かる通り、スルーホールを 2 つ使って接続した方が

、電気信号の周波数が上がっても電気信号の通過量があまり減少せず、反射量があまり増加しない。このような特性を示す理由は、スルーホールを1つしか使わずに半導体素子と外部電極とを接続すると、配線全体の形状が、途中で直角に折れ曲がった形状を呈するからである。このような形状の配線は、配線自体が大きな容量を持つので、周波数に対するインピーダンスの変化が大きくなる。すると、高い周波数の電気信号が配線を通過するとき、通過量が減少して反射量が増加するので、半導体装置と外部機器との間で、効率よく電気信号の入出力を行うことができなくなる。したがって、半導体素子と外部電極とは、なるべく直線に近い形状の配線で接続することが望ましい。

【 0 0 1 9 】

本発明の第1の実施例では、半導体素子と外部電極とがジグザグ型、つまり、途中で一回のみ直角に折れ曲がる形状の配線に比べて、直線に近い形状の配線で接続されていることになる。そのため、本発明では高い周波数における通過量の減少と反射量の増加を低減できるので、装置と外部機器との間で、効率よく電気信号の入出力を行うことができる。

【 0 0 2 0 】

(第2の実施例) 図1は、本発明の第1、第2、第3の実施例である半導体装置を示す平面図である。また、図4は、本発明の第2の実施例である半導体装置を示す断面図であり、図1を点線XYに沿って切断した断面を示している。以下、図1及び図4を用いて、本発明の第2の実施例について説明する。

【 0 0 2 1 】

本発明の第2の実施例が第1の実施例と異なる点は、第2の誘電体基板23bの上、誘電体リング24の下に、上側金属層29aが形成されていることである。上側金属層29aは、上部配線27aとともに第2の誘電体基板23b上に形成されているが、互いに電氣的に接続されてはいない。また、第2の実施例では、リード端子28の一部が接地用になっている。上側金属層29aは、接地用のリード端子28に電氣的に接続されており、接地電位を供給されることが可能である。これにより、内部配線27bと金属蓋25との間に、接地電位を供給させることが可能な上側金属層29aが挟まれた構造を得ることができる。上記の説

明以外、本発明の第 2 の実施例は、第 1 の実施例とほぼ同じ構造なので、詳細は省略する。

【 0 0 2 2 】

以上のように、本発明の第 2 の実施例は、第 1 の実施例とほぼ同様の効果を奏する。加えて、内部配線と金属蓋との間に接地用の外部電極と接続してある金属層を配置してあるので、表面実装したときに、配線と金属蓋と間に発生する寄生容量を減少させる効果がある。

【 0 0 2 3 】

(第 3 の実施例) 図 1 は、本発明の第 1、第 2、第 3 の実施例である半導体装置を示す平面図である。また、図 4 は、本発明の第 3 の実施例である半導体装置を示す断面図であり、図 1 を点線 X Y に沿って切断した断面を示している。以下、図 1 及び図 5 を用いて、本発明の第 3 の実施例について説明する。

【 0 0 2 4 】

本発明の第 3 の実施例が第 2 の実施例と異なる点は、第 1 の誘電体基板 3 3 a の下に下側金属層 3 9 b が配置されていることである。また、第 3 の実施例でも第 2 の実施例と同様に、リード端子 2 8 の一部が接地用になっている。そして、下側金属層 3 9 b は、上側金属層 3 9 a と同様、接地用のリード端子 2 8 に電氣的に接続されており、接地電位を供給されることが可能である。これにより、内部配線 3 7 b が、それぞれ接地電位を供給させることが可能な上側金属層 3 9 a と下側金属層 3 9 b とに挟まれた構造を得ることができる。上記の説明以外、本発明の第 3 の実施例は、第 2 の実施例とほぼ同じ構造なので、詳細は省略する。

【 0 0 2 5 】

以上のように、本発明の第 3 の実施例は、第 2 の実施例とほぼ同様の効果を奏する。また、内部配線の上下両方に接地された金属層が、接地用の外部電極と接続してあるので、第 2 の実施例よりも、内部配線に発生する寄生容量をさらに減少させる効果がある。

【 0 0 2 6 】

なお、第 3 の実施例において、上側金属層 3 9 a を省いても、第 2 の実施例ほどでないにせよ、寄生容量を減少させる効果を得ることができる。

【 0 0 2 7 】

【発明の効果】

以上に説明したように本発明では、外部電極と電氣的に接続される第1のスルーホール配線と、第2の誘電体基板を貫通し、半導体素子と電氣的に接続される第2のスルーホール配線と、第1の誘電体基板と第2の誘電体基板に挟まれた内部配線とを有し、半導体素子は、第1のスルーホール配線、第2のスルーホール配線、内部配線を介して外部電極と接続されており、第1のスルーホール配線と、第2のスルーホール配線とが、互いに内部配線に対して離間して電氣的に接続されている。したがって、半導体素子と外部電極とがジグザク型、つまり、途中で直角に折れ曲がる形状の配線に比べて、直線に近い形状の配線で接続されていることになる。そのため、本発明では高い周波数における通過量の減少と反射量の増加を低減できるので、装置と外部機器との間で、効率よく電気信号の入出力を行うことができる。

【図面の簡単な説明】

【図1】

第1、第2、第3の実施例における半導体装置を示す平面図である。

【図2】

第1の実施例における半導体装置を示す断面図である。

【図3】

第1の実施例の変形例の半導体装置を示す断面図である。

【図4】

第2の実施例における半導体装置を示す断面図である。

【図5】

第3の実施例における半導体装置を示す断面図である。

【図6】

半導体素子と外部電極とを、スルーホールを1つ使って接続した場合と、2つ使って接続した場合の、周波数に対する電気信号の通過量を示す図である。

【図7】

半導体素子と外部電極とを、スルーホールを1つ使って接続した場合と、2つ

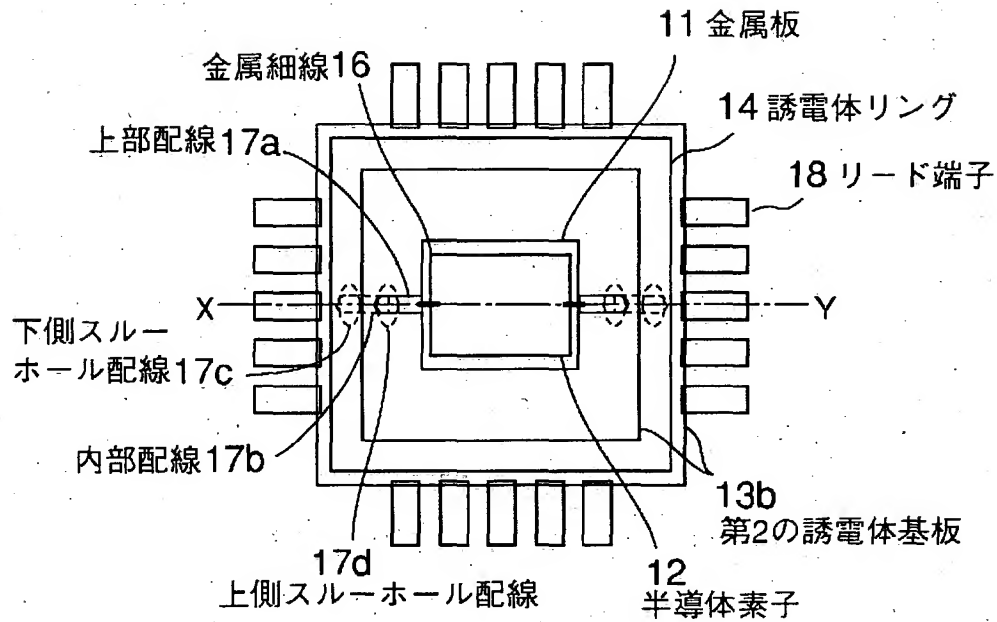
使って接続した場合の、周波数に対する電気信号の反射量を示す図である

【符号の説明】

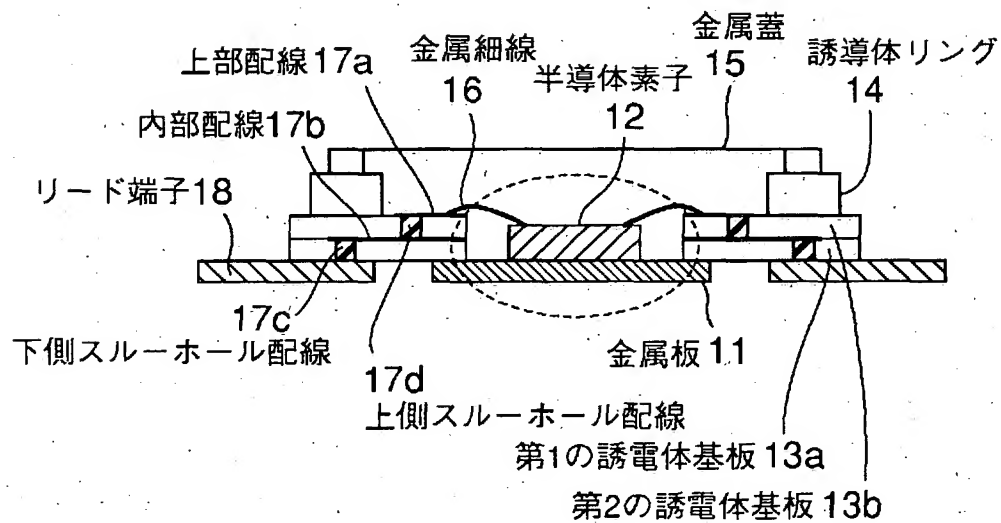
- 1 1 金属板
- 1 2 半導体素子
- 1 3 a 第 1 の誘電体基板
- 1 3 b 第 2 の誘電体基板
- 1 4 誘電体リング
- 1 5 金属蓋
- 1 6 金属細線
- 1 7 a 上部配線
- 1 7 b 内部配線
- 1 7 c 下側スルーホール配線
- 1 7 d 上側スルーホール配線
- 1 8 リード配線

【書類名】 図面

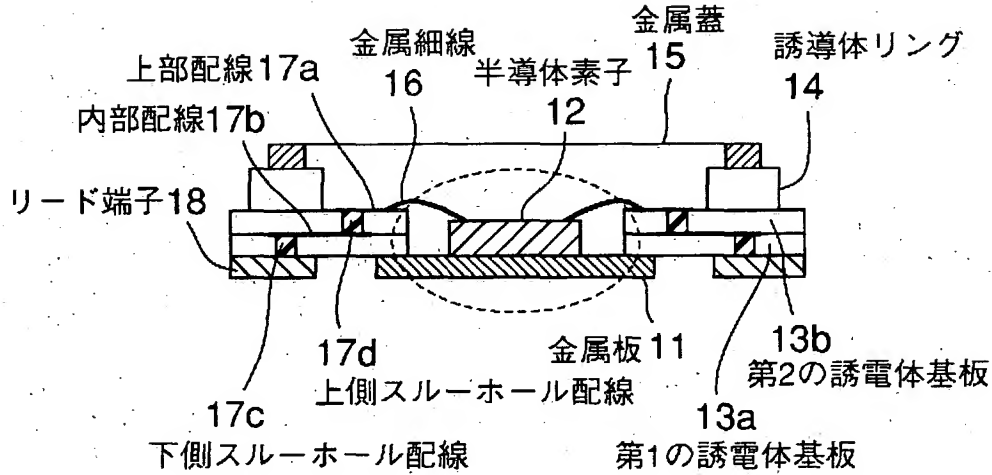
【図1】



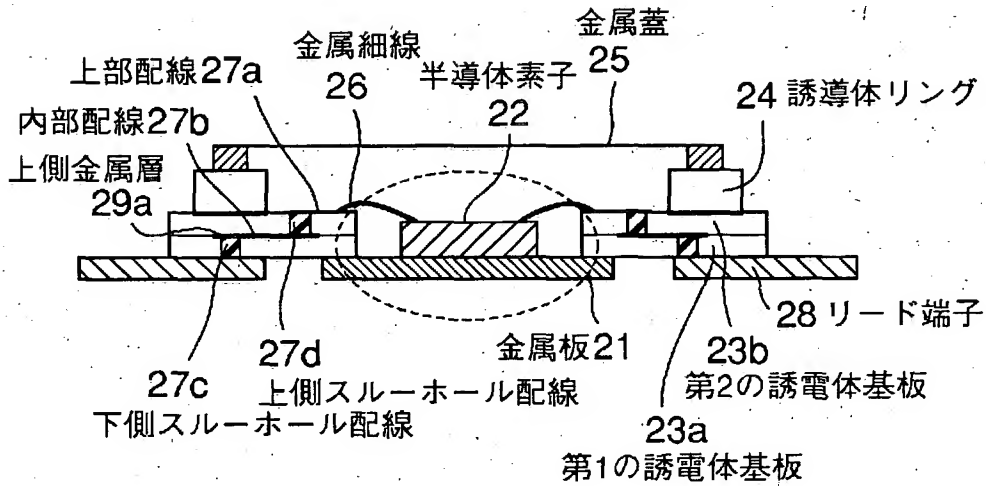
【図2】



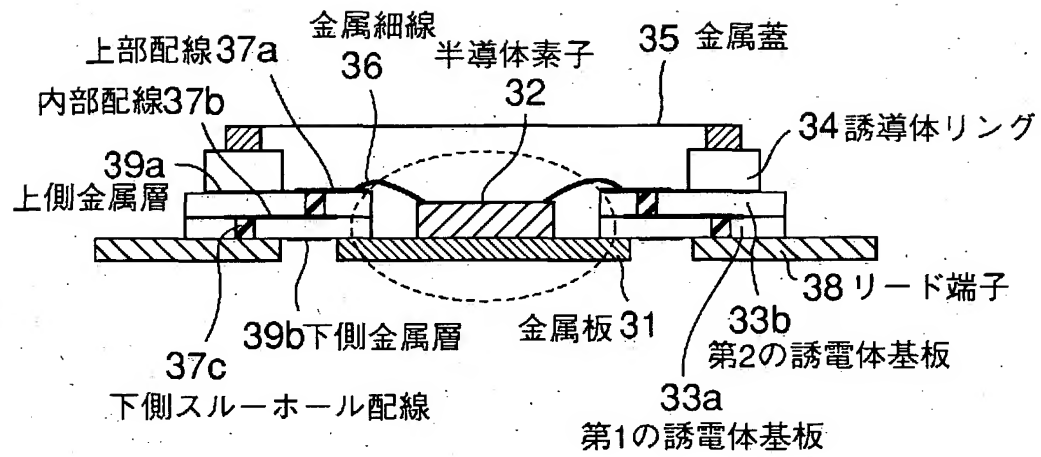
【図 3】



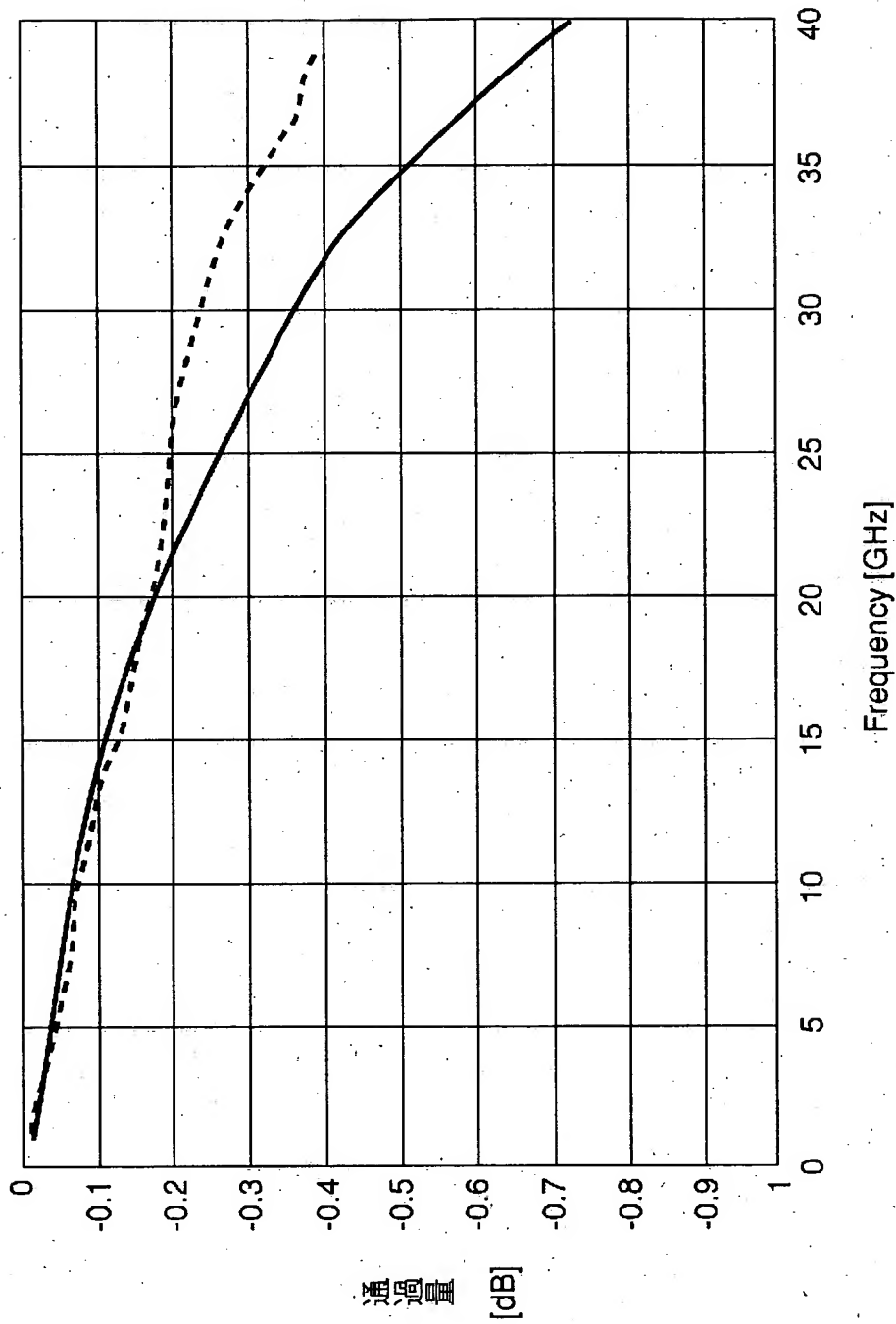
【図 4】



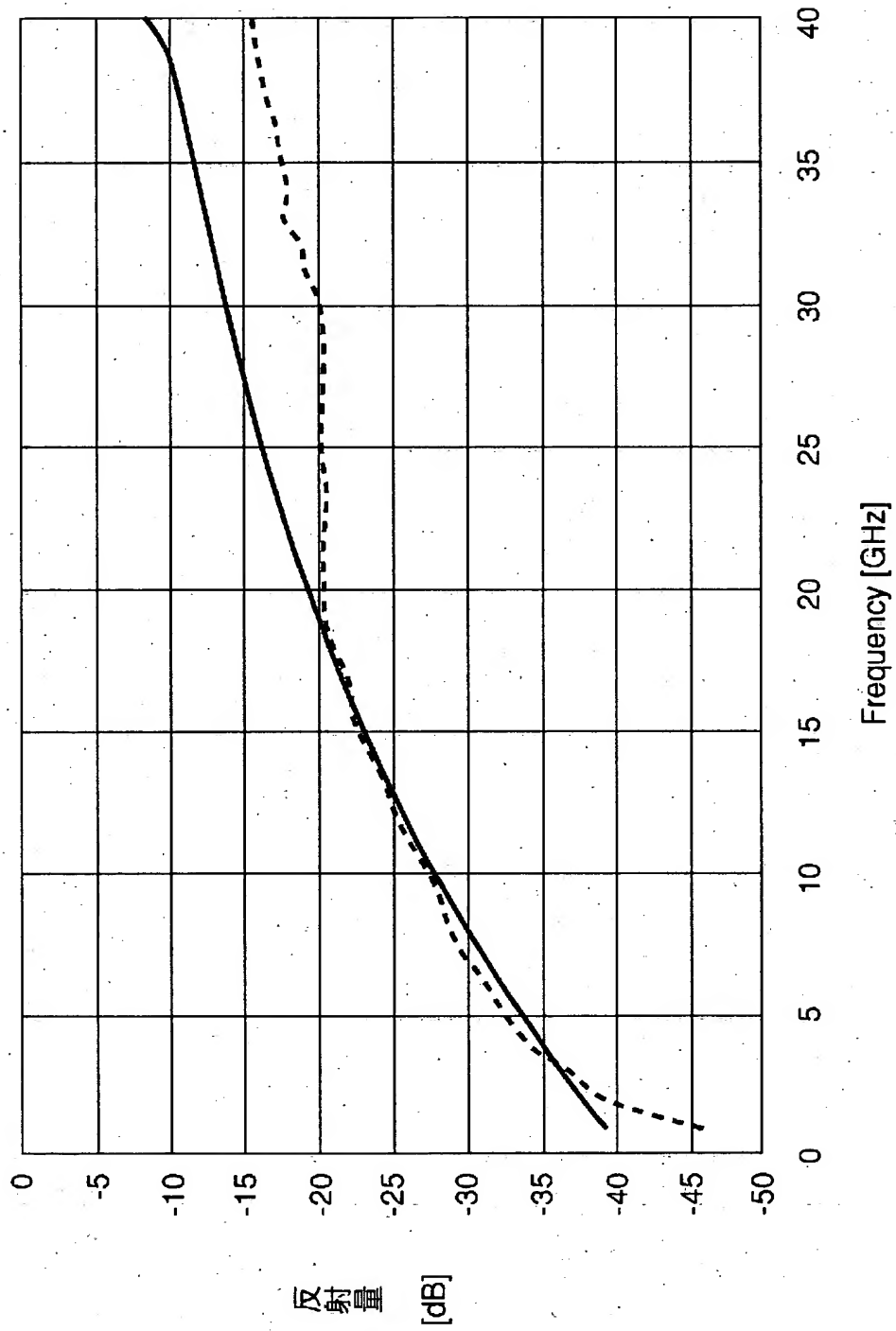
【図 5】



【図 6】



【图 7】



【書類名】 要約書

【要約】

【目的】 半導体装置内の配線に発生する寄生容量によって、特に高周波の電気信号の入出力が阻害されることの少ない半導体装置を提供する。

【構成】 第1の誘電体基板13aを貫通する第1のスルーホール配線17cと、第2の誘電体基板13bを貫通する第2のスルーホール配線17dと、第1の誘電体基板13aと第2の誘電体基板13bに挟まれた内部配線を17b有し、第1のスルーホール配線17cと第2のスルーホール配線17dが互いに内部配線17b離間して配置されている。

【選択図】 図2

特2002-356953

認定・付加情報

特許出願の番号	特願2002-356953
受付番号	50201861334
書類名	特許願
担当官	第五担当上席 0094
作成日	平成14年12月10日

<認定情報・付加情報>

【提出日】 平成14年12月 9日

特2002-356953

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住 所 東京都港区虎ノ門1丁目7番12号

氏 名 沖電気工業株式会社